

P-2229

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-321613

(43)Date of publication of application : 03.12.1996

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/28

(21)Application number : 07-152482

(71)Applicant : RICOH CO LTD

(22)Date of filing : 26.05.1995

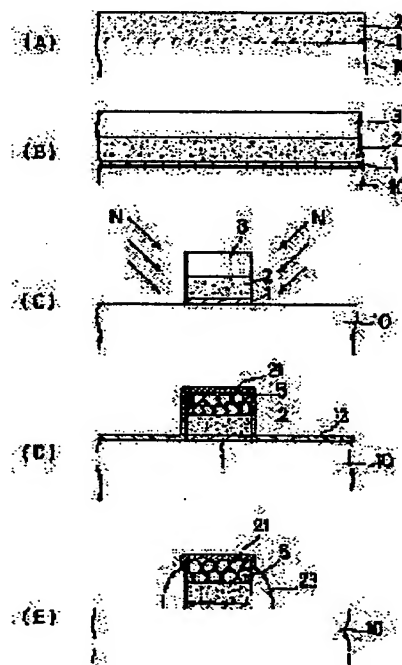
(72)Inventor : FUCHINO FUMIHIRO

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To avoid the abnormal oxidation of a high melting point silicide layer by a method wherein, after implanting nitrogen ions into a polycide gate electrode by rotational oblique implantation, the gate electrode is oxidized.

CONSTITUTION: A gate oxide film 1 is formed on a semiconductor substrate 10 to form a polysilicon film 2 on the gate oxide film 1 further forming a high melting point metallic silicide film 3 on the polysilicon film 2. Next, the high melting point metallic silicide film 3 and the polysilicon film 2 are patterned to form a gate electrode and after implanting nitrogen ions into the gate electrode by oblique spin implantation, the gate electrode is oxidized. For example, when the gate electrode is oxidized, a silicon oxide film 12 is formed on the exposed surfaces of the substrate 10 and the polysilicon layer 2 so as to form a thin layer 21 made of a silicon nitride and a silicon oxide on the surface of the silicide layer. Besides, the silicide layer is crystallized to be a crystalline layer 5. Finally, a side spacer 23 is formed to form an LDD structure.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-321613

(43) 公開日 平成8年(1996)12月3日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 P
21/336			21/28	3 0 1 T
21/28	3 0 1			

審査請求 未請求 請求項の数 2 F D (全 4 頁)

(21) 出願番号 特願平7-152482

(22) 出願日 平成7年(1995)5月26日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 淵野 史裕

東京都大田区中馬込1丁目3番6号 株式会社リコー内

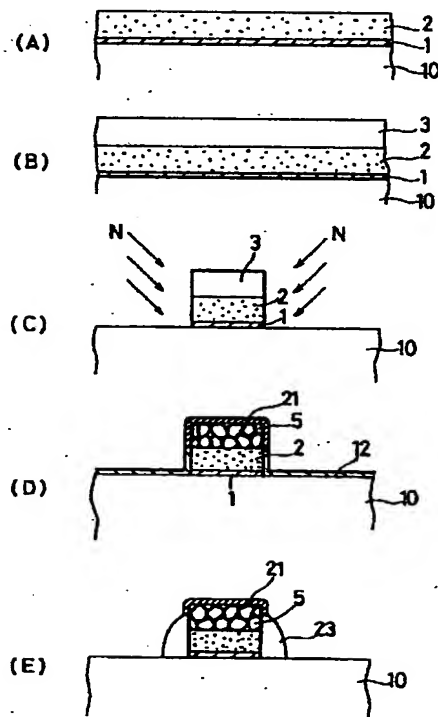
(74) 代理人 弁理士 野口 繁雄

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 高融点金属シリサイド層の異常酸化を防ぐ。

【構成】 ポリサイドゲート電極に、回転斜め注入法により窒素をイオン注入した後、酸化処理を行なう。タングステンシリサイド層3の表面にシリコン窒化物とシリコン酸化物の薄い層21が形成される。その後、高温酸化膜を堆積し、全面エッチバックを施してゲート電極の側面に高温酸化膜の側壁スペーサ23を形成する。このとき、結晶化したタングステンシリサイド層5の表面の薄い層21にシリコン窒化膜が残る。その後の熱処理時にはこの薄いシリコン窒化膜が酸化保護膜となり、タングステンシリサイド層5の表面の異常酸化を防ぐ。



【特許請求の範囲】

【請求項1】 半導体基板上にゲート酸化膜を形成する工程と、
前記ゲート酸化膜上にポリシリコン膜を形成する工程と、
前記ポリシリコン膜上に高融点金属シリサイド膜を形成する工程と、
前記高融点金属シリサイド膜及びポリシリコン膜をパターン化してゲート電極を形成する工程と、
ゲート電極に回転斜め注入法により窒素をイオン注入する工程と、
その後、ゲート電極を酸化する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項2】 ゲート電極の形成後、ゲート電極を酸化するまでの間に、ソース・ドレイン用の低濃度拡散領域を形成するために、ゲート電極をマスクとして前記半導体基板に不純物をイオン注入する工程と、
ゲート電極酸化後にゲート電極側面に側壁スペーサを形成し、ソース・ドレイン用の高濃度拡散領域を形成するために、ゲート電極及び側壁スペーサをマスクとして前記半導体基板に不純物をイオン注入する工程とをさらに備えてLDD構造のMOSトランジスタを形成する請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明はMOS型半導体装置の製造方法に関し、特にゲート電極としてポリシリコン層上に高融点金属シリサイド層を積層したポリサイドゲート電極を備えたMOS型半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 半導体集積回路装置の高集積化に伴う素子の微細化と高速化の要請から、ゲート電極として、ポリシリコン層上にタングステンシリサイドなどの高融点金属シリサイド層を積層したポリサイドゲート電極が用いられている。ポリサイドゲート電極は、その後の酸化処理によって高融点金属シリサイド表面が異常酸化を起こし、電極層が剥がれたり、ポリシリコン層の膜厚が減少してゲート酸化膜の絶縁不良を起こすなどの不具合が発生することが知られている。

【0003】 その異常酸化の起こる過程を図1により説明する。

(A) シリコン基板10上にゲート酸化膜1を形成し、その上にポリシリコン層2、さらにその上に高融点金属シリサイド層としてタングステンシリサイド層3を堆積し、写真製版とエッチングによってタングステンシリサイド層3及びポリシリコン層2をパターン化してゲート電極を形成する。

(B) LDD (Lightly Doped Drain) 構造のソース・ドレインを形成するために、ゲート電極をマスクとして

低濃度不純物拡散層用のイオン注入を施した後、高温酸化膜を形成し、エッチバックを施してゲート電極の側面に高温酸化膜の側壁スペーサ4を形成する。その高温酸化膜は800～850℃で堆積されるが、その時の温度でタングステンシリサイド層3が結晶化して結晶層5となる。

(C) その後、結晶化したタングステンシリサイド層5を被うための酸化膜を形成する高温熱処理を施すと、露出したタングステンシリサイド層5の表面が異常酸化を起こす。6は異常酸化で荒れたタングステンシリサイド層の表面を表わしている。

【0004】 この異常酸化の起こるメカニズムは次のように考えられる。高融点金属シリサイド層としてタングステンシリサイド層を用いた場合について説明すると、図1の(B)で示されるように結晶化したタングステンシリサイド層5を炉中へ装填すると、図1(b)の拡大図に示すように、高温熱処理により結晶化したタングステンシリサイド結晶粒9の結晶粒界を炉内の微量の酸素8が拡散してゆき、結晶粒界で酸化膜11を形成する。

【0005】 その後、タングステンシリサイド層5上に酸化膜を形成するための熱処理においては、図1(c)の拡大図に示すように、結晶粒界の酸化膜11によって下層のポリシリコンからのシリコン原子の供給が円滑に行なわれず、そのためタングステン表面が酸化され、シリコン酸化膜13中にタングステン酸化物12が形成される。これが異常酸化である。このような異常酸化はタングステンシリサイド層の場合に限らず、他の高融点金属シリサイド層を用いた場合にも同様に観察されている。

【0006】 このような異常酸化を防ぐために、ゲート電極となるポリシリコン層及びその上の高融点金属シリサイド層上に酸化保護膜としてポリシリコン膜やシリコン窒化膜を形成しておき、その酸化保護膜をゲート電極形成の際の写真製版とエッチングでパターン化することにより、図2に示されるように、ポリサイド電極2、3上に酸化保護膜15を形成することが提案されている

(特開昭60-195972号公報、特開平4-207025号公報参照)。また、ポリサイドゲート電極の段差部での高抵抗化及び断線を防止するために、段差部のみにシリコン窒化膜を残すことも提案されている(特開昭63-160245号公報参照)。

【0007】

【発明が解決しようとする課題】 上記の引用文献での提案のように、高融点金属シリサイド層上にシリコン窒化膜などの酸化保護膜を形成した後にパターン化してゲート電極を形成する方法では、パターン化の際に酸化保護膜のエッチング残りが発生したり、ポリサイド層の寸法制御が難しくなるという問題が生じる。また、高融点金属シリサイド層の上面には酸化保護膜が存在するが、高融点金属シリサイド層の側面は露出しており、その後の

熱処理によりその側面から異常酸化が発生してしまう。そこで、本発明は上記のような提案された方法の問題点もなく、しかも高融点金属シリサイド層の異常酸化を防止することを目的とするものである。

【0008】

【課題を解決するための手段】本発明の製造方法は、半導体基板上にゲート酸化膜を形成する工程と、ゲート酸化膜上にポリシリコン膜を形成する工程と、そのポリシリコン膜上に高融点金属シリサイド膜を形成する工程と、その高融点金属シリサイド膜及びポリシリコン膜をパターン化してゲート電極を形成する工程と、ゲート電極に回転斜め注入法により窒素をイオン注入する工程と、その後、ゲート電極を酸化する工程とを備えている。

【0009】本発明をLDD構造のMOSトランジスタを形成する製造方法に適用する場合には、ゲート電極の形成後、ゲート電極を酸化するまでの間に、ソース・ドレイン用の低濃度拡散領域を形成するために、ゲート電極をマスクとして基板に不純物をイオン注入する工程と、ゲート電極酸化後にゲート電極側面に側壁スペーサを形成し、ソース・ドレイン用の高濃度拡散領域を形成するために、ゲート電極及び側壁スペーサをマスクとして基板に不純物をイオン注入する工程とをさらに備える。高融点金属シリサイド層は、タングステンシリサイド層、モリブデンシリサイド層、又はチタンシリサイド層などである。

【0010】

【実施例】図3は一実施例を表わす。

(A) シリコン基板10上にゲート酸化膜1として膜厚が8～15nmのシリコン酸化膜を形成し、その上に膜厚が50～200nmのポリシリコン層2を堆積する。その後、ポリシリコン層2に不純物を導入して低抵抗化する。

(B) ポリシリコン層2上に高融点金属シリサイド層としてタングステンシリサイド層3を50～200nmの厚さに堆積する。

【0011】(C) その後、写真製版とエッチングによってタングステンシリサイド層3及びポリシリコン層2をパターン化し、ゲート電極を形成する。このときのパターン化工程では、タングステンシリサイド層3上に窒化シリコン膜などの他の膜が形成されていないため、エッチング残や寸法ばらつきなどが発生しない。その後、回転斜め注入法により窒素を10～20KeVで、 $1 \times 10^{14} \sim 6 \times 10^{15} / \text{cm}^2$ 注入する。

【0012】(D) 次に、850～1000℃で酸化処理を行なう。このとき、基板10の露出表面及びポリシリコン層2の露出している表面にシリコン酸化膜12が形成され、同時にタングステンシリサイド層の表面にシリコン窒化物とシリコン酸化物の薄い層21が形成される。このとき、タングステンシリサイド層は結晶化して結晶層5となる。

【0013】(E) 次に、LDD構造のMOSトランジスタを形成するために、高温酸化膜を堆積し、全面エッチバックを施してゲート電極の側面に高温酸化膜の側壁スペーサ23を形成する。このとき、結晶化したタングステンシリサイド層5の表面の薄い層21にシリコン窒化膜が残る。その後の熱処理時にはこの薄いシリコン窒化膜が酸化保護膜となり、タングステンシリサイド層5の表面の異常酸化を防ぐ。タングステンシリサイド層以外の高融点金属シリサイド層についても、同様の効果が得られる。

【0014】

【発明の効果】本発明では、パターン化により形成したポリサイドゲート電極に、回転斜め注入法により窒素をイオン注入した後、ゲート電極を酸化するようにしたので、その酸化の際にポリサイドゲート電極の高融点金属シリサイド層が結晶化していても、その高融点金属シリサイド層表面が薄いシリコン窒化膜で被覆されているため、剥がれたり、異常酸化が発生するのを抑えることができる。また、高融点金属シリサイド層表面の薄いシリコン窒化膜はゲート電極形成後に形成されるため、酸化保護膜のエッチング残の発生や、ポリサイド層の寸法制御の難しさという問題はない。

【図面の簡単な説明】

【図1】従来の方法における異常酸化発生の機構を示す図であり、(A)から(C)はその工程断面図、(b)及び(c)はそれぞれ(B)及び(C)のタングステンシリサイド層部分の拡大断面図である。

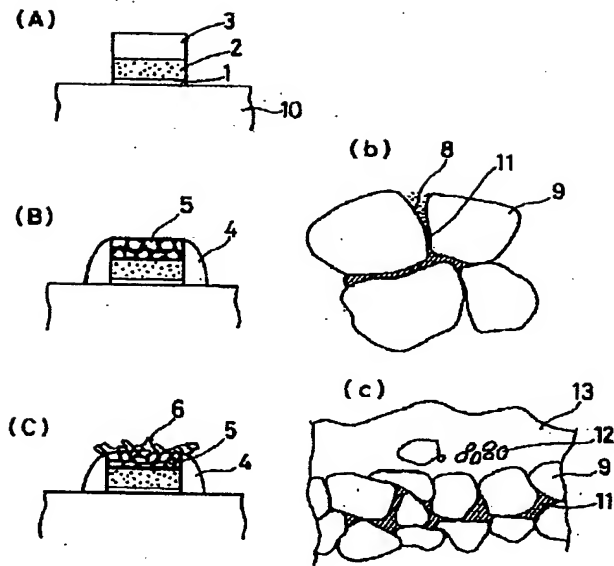
【図2】提案されたポリサイドゲート電極を示す断面図である。

【図3】一実施例を示す工程断面図である。

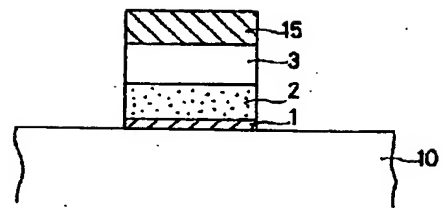
【符号の説明】

- | | |
|----|-------------------|
| 1 | ゲート酸化膜 |
| 2 | ポリシリコン層 |
| 3 | タングステンシリサイド層 |
| 5 | 結晶化したタングステンシリサイド層 |
| 10 | シリコン基板 |
| 21 | シリコン窒化膜の薄い層 |

【図1】



【図2】



【図3】

